

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-026273

(43)Date of publication of application : 25.01.2002

(51)Int.Cl. H01L 27/04  
H01L 21/822  
H01L 21/285  
H01L 21/316  
H01L 27/108  
H01L 21/8242

(21)Application number : 2001-090328 (71)Applicant : HYNIX SEMICONDUCTOR INC

(22)Date of filing : 27.03.2001 (72)Inventor : KIM KYONG-MIN  
SO KANSO  
KIN TOSHUN

(30)Priority

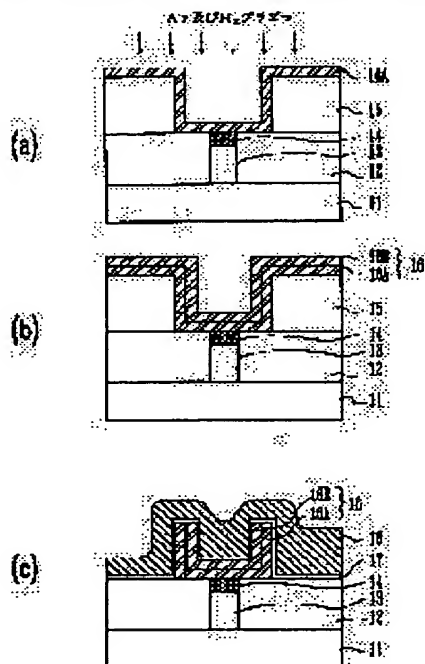
Priority number : 2000 200037040 Priority date : 30.06.2000 Priority country : KR

## (54) METHOD FOR MANUFACTURING CAPACITOR OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing the capacitor of a semiconductor element capable of improving the electric characteristics of a capacitor by improving surface roughness when forming an Ru film as a lower electrode.

SOLUTION: This method for manufacturing the capacitor of a semiconductor element comprises: a step for evaporating a first Ru film on a semiconductor substrate on which a prescribed structure is formed; a step for processing the first Ru film by exciting the mixed plasma of Ar and H<sub>2</sub>; a step for forming a secondarily evaporated Ru film by evaporating a second Ru film on the first Ru film, and for forming a lower electrode by carrying out patterning; a step for forming a Ta<sub>2</sub>O<sub>5</sub> film on the overall structure; and a step for forming a TiN film on the overall structure, and for forming an upper electrode by carrying out patterning.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]



[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(19)日本国特許庁 (J P)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-26273

(P 2 0 0 2 - 2 6 2 7 3 A)

(43)公開日 平成14年1月25日(2002.1.25)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H01L 27/04		H01L 21/285	C
21/822			301 Z
21/285		21/316	X
	301	27/04	C
21/316		27/10	621 C
審査請求 未請求 請求項の数10 O L (全4頁) 最終頁に続く			

(21)出願番号 特願2001-90328(P 2001-90328)

(22)出願日 平成13年3月27日(2001.3.27)

(31)優先権主張番号 2 0 0 0 - 3 7 0 4 0

(32)優先日 平成12年6月30日(2000.6.30)

(33)優先権主張国 韓国 (K R)

(71)出願人 591024111

株式会社ハイニックスセミコンダクター

大韓民国京畿道利川市夫鉢邑牙美里山136-1

(72)発明者 金 京 民

大韓民国 京畿道 安養市 萬安区 安養

2洞 627-72番地 ブクサンアパートメント2-1109

(74)代理人 100066784

弁理士 中川 周吉 (外1名)

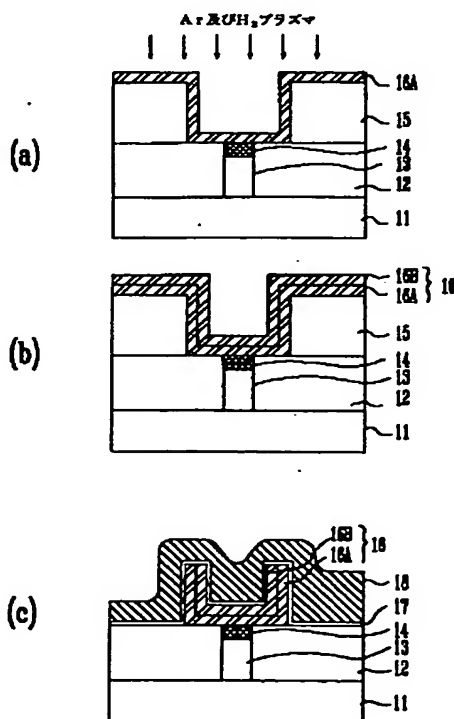
最終頁に続く

## (54)【発明の名称】半導体素子のキャパシタ製造方法

## (57)【要約】

【課題】 Ru膜を下部電極として形成するとき表面粗さを改善してキャパシタの電気的特性を向上させることのできる半導体素子のキャパシタ製造方法を提供すること。

【解決手段】 本発明に係る半導体素子のキャパシタ製造方法は、所定の構造が形成された半導体基板上に第1 Ru膜を蒸着する段階と、Ar及びH<sub>2</sub>の混合プラズマを励起させて前記第1 Ru膜を処理する段階と、前記第1 Ru膜上に第2 Ru膜を蒸着して2次に蒸着されたRu膜を形成した後、パターニングして下部電極を形成する段階と、全体構造上にTa<sub>2</sub>O<sub>5</sub>膜を形成する段階と、全体構造上にTiN膜を形成した後、パターニングして上部電極を形成する段階とを含んでなることを特徴とする。



## 【特許請求の範囲】

【請求項 1】 所定の構造が形成された半導体基板上に第 1 Ru 膜を蒸着する段階と、

Ar 及び H<sub>2</sub> の混合プラズマを励起させて前記第 1 Ru 膜を処理する段階と、

前記第 1 Ru 膜上に第 2 Ru 膜を蒸着して 2 次に蒸着された Ru 膜を形成した後、パターニングして下部電極を形成する段階と、

全体構造上に Ta<sub>2</sub>O<sub>5</sub> 膜を形成する段階と、

全体構造上に TiN 膜を形成した後、パターニングして上部電極を形成する段階とを含んでなることを特徴とする半導体素子のキャパシタ製造方法。

【請求項 2】 前記第 1 Ru 膜はトリス (2, 4-オクタネジオナト) ルテニウムを気相状態にした後、0.1 ~ 10 Torr の圧力を維持し、ウェーハを 200 ~ 350 °C で加熱させる反応炉に流入して形成することを特徴とする請求項 1 記載の半導体素子のキャパシタ製造方法。

【請求項 3】 前記第 1 Ru 膜を形成するための反応ガスとして酸素を 5 ~ 1000 sccm 流入することを特徴とする請求項 2 記載の半導体素子のキャパシタ製造方法。

【請求項 4】 前記 Ar 及び H<sub>2</sub> の混合プラズマは 10 ~ 1000 W の RF パワーを印加して励起させることを特徴とする請求項 1 記載の半導体素子のキャパシタ製造方法。

【請求項 5】 前記第 2 Ru 膜はトリス (2, 4-オクタネジオナト) ルテニウムを気相状態にした後、0.1 ~ 10 Torr の圧力を維持し、ウェーハを 200 ~ 350 °C で加熱させる反応炉に流入して形成することを特徴とする請求項 1 記載の半導体素子のキャパシタ製造方法。

【請求項 6】 前記第 1 Ru 膜を形成するための反応ガスとして酸素を 5 ~ 1000 sccm 流入することを特徴とする請求項 5 記載の半導体素子のキャパシタ製造方法。

【請求項 7】 前記 Ta<sub>2</sub>O<sub>5</sub> 膜はタンタルエチラート (Ta (OC<sub>2</sub>H<sub>5</sub>)<sub>3</sub>) を気相状態にした後、0.1 ~ 1.2 Torr の圧力を維持し、ウェーハを 300 ~ 400 °C で加熱させる反応炉に流入して形成することを特徴とする請求項 1 記載の半導体素子のキャパシタ製造方法。

【請求項 8】 前記 Ta<sub>2</sub>O<sub>5</sub> 膜を形成するための反応ガスとして酸素を 10 ~ 1000 sccm 流入することを特徴とする請求項 7 記載の半導体素子のキャパシタ製造方法。

【請求項 9】 前記 Ta<sub>2</sub>O<sub>5</sub> 膜を形成した後、300 ~ 500 °C で N<sub>2</sub>O プラズマまたは UV/O<sub>2</sub> 処理を行い、500 ~ 700 °C の温度で N<sub>2</sub> ガスと O<sub>2</sub> ガスを用いて急速熱処理または反応炉熱処理工程を行う段階をさらに含

むことを特徴とする請求項 1 記載の半導体素子のキャパシタ製造方法。

【請求項 10】 前記上部電極として用いられる TiN 膜の代わりに Ru 膜を形成することを特徴とする請求項 1 記載の半導体素子のキャパシタ製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体素子のキャパシタ製造方法に係り、特に下部電極として用いられる Ru 膜を LPCVD 法で 1 次に蒸着し、Ar 及び H<sub>2</sub> 混合プラズマ処理を行った後 LPCVD 法で Ru 膜を 2 次に蒸着することにより Ru 膜の表面粗さを改善して、Ta<sub>2</sub>O<sub>5</sub> 膜を誘電体膜として使用するキャパシタの高い静電容量と低い漏洩電流を同時に確保することができる半導体素子のキャパシタ製造方法に関する。

【0002】

【従来の技術】 半導体素子の高集積化に伴って既存の MIS (Metal-Insulator-Silicon) 構造の Ta<sub>2</sub>O<sub>5</sub> 膜を誘電体膜として使用するキャパシタの静電容量を確保するための方法には Ta<sub>2</sub>O<sub>5</sub> 膜の厚さを薄くする方法がある。しかし、この方法は漏洩電流増加の原因となる。かかる問題を解決するために、下部電極として金属層を導入し有効厚さを薄くして静電容量を確保すると同時に漏洩電流特性も確保する方法が試みられている。金属層を下部電極として導入する場合、下部電極の膜質に応じて漏洩電流特性を改善することができる。

【0003】 例えば、下部電極として Ru 膜を形成するためには LPCVD 法を使用する。LPCVD 法で Ru 膜を形成する場合、表面粗さ (Surface Roughness) が不良となるため、シード層 (Seed Layer) として PVD 法で Ru 膜を一部蒸着した後、LPCVD 法で Ru 膜を蒸着して表面粗さを改善している。しかし、このような場合は工程単純化及びステップカバレッジに大きい影響を与える。

【0004】

【発明が解決しようとする課題】 本発明の目的は、Ru 膜を下部電極として形成するとき表面粗さを改善してキャパシタの電気的特性を向上させることができる半導体素子のキャパシタ製造方法を提供することにある。

【0005】

【課題を解決するための手段】 本発明では、下部電極として用いられる Ru 膜を LPCVD 法で 1 次に蒸着し、Ar 及び H<sub>2</sub> の混合ガスプラズマ処理を行った後、LPCVD 法で Ru 膜を 2 次に蒸着することにより Ru 膜の表面粗さを改善して、Ta<sub>2</sub>O<sub>5</sub> を誘電体膜として使用するキャパシタの高い静電容量と低い漏洩電流を同時に確保する。

【0006】 本発明に係る半導体素子のキャパシタ製造方法は、所定の構造が形成された半導体基板上に第 1 Ru 膜を蒸着する段階と、Ar 及び H<sub>2</sub> の混合プラズマを

励起させて前記第1Ru膜を処理する段階と、前記第1Ru膜上に第2Ru膜を蒸着して2次に蒸着されたRu膜を形成した後、パターニングして下部電極を形成する段階と、全体構造上にTa<sub>2</sub>O<sub>5</sub>膜を形成する段階と、全体構造上にTiN膜を形成した後、パターニングして上部電極を形成する段階とを含んでなることを特徴とする。

#### 【0007】

【発明の実施の形態】以下、添付図に基づいて本発明を詳細に説明する。

【0008】図1(a)乃至図1(c)は本発明に係る半導体素子のキャパシタ製造方法を説明するために順次示した素子の断面図である。

【0009】図1(a)を参照すると、所定の構造が形成された半導体基板11上に絶縁膜12を形成した後、絶縁膜12の所定の領域をエッチングして半導体基板11の所定の領域を露出させるコンタクトホールを形成する。コンタクトホールの内部にポリシリコンプラグ13と拡散防止膜14としてTi/TiN膜を積層して埋め込む。全体構造上に酸化膜15を形成した後、シリンドラ型キャパシタを下部のコンタクトホール部分が露出するようにエッチングする。全体構造上に第1Ru膜16AをLPCVD法で蒸着し、Ar及びH<sub>2</sub>の混合プラズマを励起させて第1Ru膜16Aを処理する。この際、プラズマを励起させるためのRFパワーは10~1000Wに維持する。一方、RFパワーを印加する時、サブヒータ(subheater)をグラウンドとし、シャワーヘッドを電極とする。第1Ru膜16Aはトリス(2,4-オクタネジオナト)ルテニウム(tris(2,4-octanedionato)ruthenium)を気相状態にした後、0.1~10Torrの圧力を維持する反応炉に流入して蒸着する。この際、反応ガスとしては酸素を5~1000sccm程度流入して使用し、反応炉内のウェーハを200~350℃で加熱させる。

【0010】図1(b)を参照すると、プラズマ処理された第1Ru膜16A上にLPCVD法で第2Ru膜16Bを蒸着して二次的に蒸着されたRu膜16を形成する。第2Ru膜16Bも第1Ru膜16Aと同一の方法で蒸着する。

【0011】図1(c)を参照すると、Ru膜16を研磨して酸化膜15を露出させることにより下部電極を形成する。酸化膜15を除去した後、全体構造上にTa<sub>2</sub>O<sub>5</sub>膜17を形成する。Ta<sub>2</sub>O<sub>5</sub>膜17はタンタルエチラート(Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>)を170~190℃程度の温度を維持する気化器で気相状態にした後、0.1~1.2Torrの圧力を維持する反応炉に流入して形成する。この際、反応ガスとしては酸素を10~1000sccm程度流入して使用し、反応炉内のウェーハを300~400℃で加熱させる。Ta<sub>2</sub>O<sub>5</sub>膜17を形成した後、300~500℃でN<sub>2</sub>OプラズマまたはUV/O<sub>2</sub>処理を行い、500~700℃の温度でN<sub>2</sub>ガスとO<sub>2</sub>ガスを用いて急速熱処理または反応炉熱処理工程を行う。全体構造上にRu膜またはTiN膜を蒸着した後、パターニングして上部電極を形成する。

#### 【0012】

【発明の効果】上述したように、本発明によれば、下部電極として用いられるRu膜をLPCVD法で1次に蒸着し、Ar及びH<sub>2</sub>混合プラズマ処理を行った後LPCVD法でRu膜を2次に蒸着することによりRu膜の表面粗さを改善して、Ta<sub>2</sub>O<sub>5</sub>膜を誘電体膜として使用するキャパシタの高い静電容量と低い漏洩電流を同時に確保することができる。

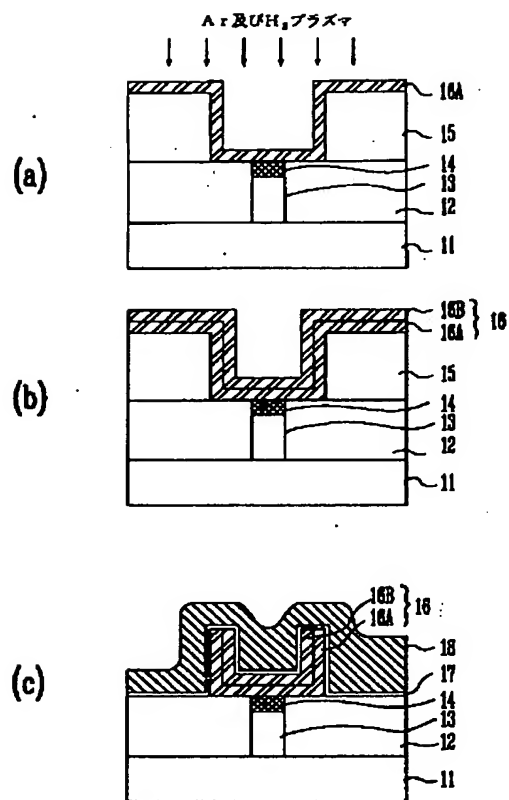
#### 【図面の簡単な説明】

【図1】図1(a)乃至図1(c)は本発明に係る半導体素子のキャパシタ製造方法を説明するために順次示した素子の断面図である。

#### 【符号の説明】

- 11 半導体基板
- 12 絶縁膜
- 13 プラグ
- 14 拡散防止膜
- 15 酸化膜
- 16 Ru膜
- 16A 第1Ru膜
- 16B 第2Ru膜
- 17 Ta<sub>2</sub>O<sub>5</sub>膜
- 18 TiN膜

【図1】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

27/108

21/8242

識別記号

F I

ターマコード (参考)

(72)発明者 宋 翰 相

大韓民国 ソウル 瑞草区 瑞草洞 1326

-17番地 ウースンアパートメント501-2

209

(72)発明者 金 東 俊

大韓民国 京畿道 利川市 増浦洞 シン

ハンアパートメント104-402